

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 5 月 6 日 (06.05.2005)

PCT

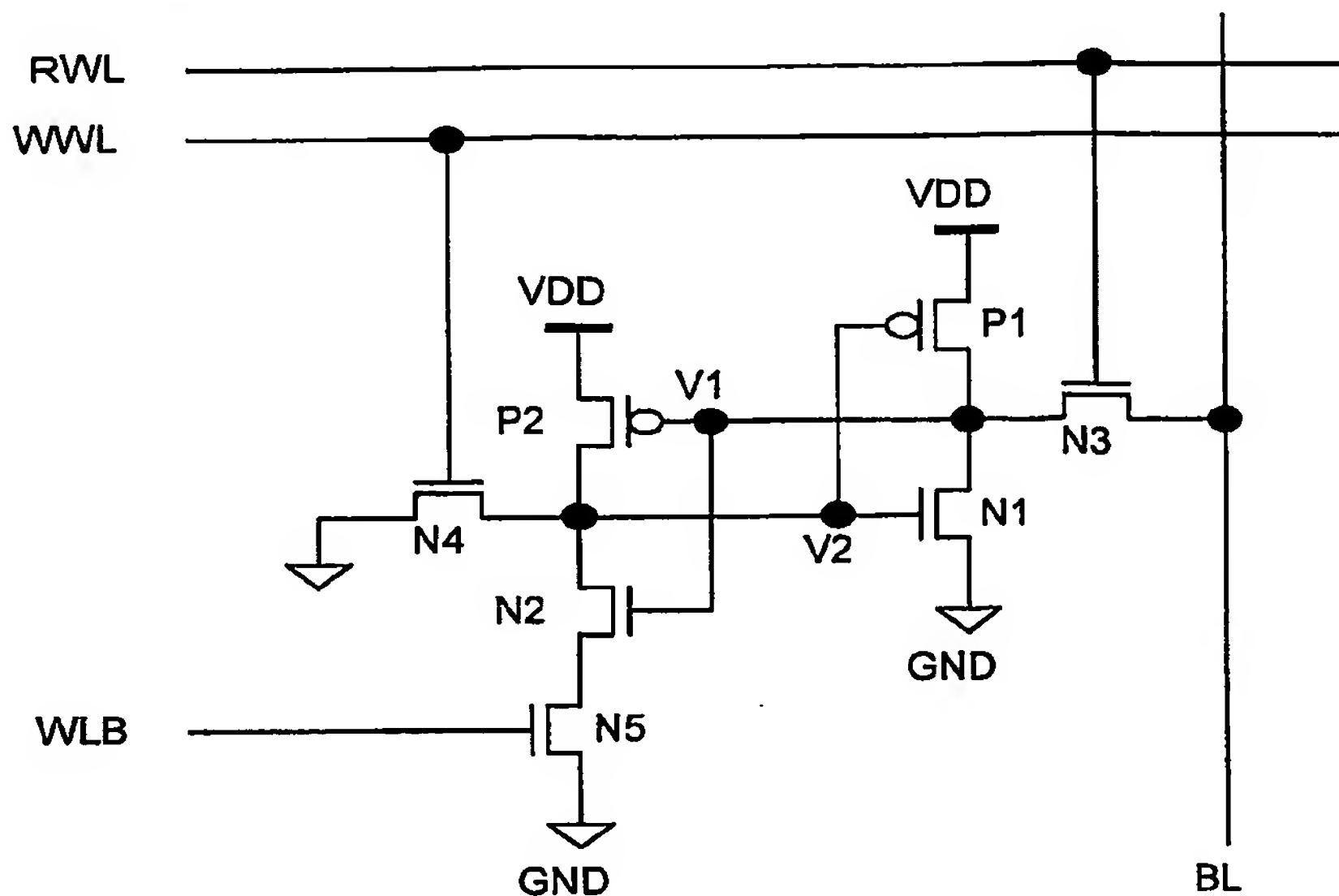
(10) 国際公開番号
WO 2005/041203 A1

- (51) 国際特許分類: G11C 11/41, H01L 27/10
(21) 国際出願番号: PCT/JP2004/014035
(22) 国際出願日: 2004 年 9 月 17 日 (17.09.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2003-365436
2003 年 10 月 27 日 (27.10.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 武田 晃一 (TAKEDA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
(74) 代理人: 池田 憲保, 外 (IKEDA, Noriyasu et al.); 〒1050003 東京都港区西新橋一丁目 4 番 10 号 第三森ビル Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: The SRAM cells of a semiconductor storage device each comprise first and second inverter circuits loop-connected with each other to form a hold circuit; two access transistors; and a hold control transistor connected in series with a drive transistor of the second inverter circuit. While the memory cell is not accessed, the hold control transistor causes the first and second inverter circuits to form the loop-connected hold circuit for statically holding data. When the memory cell is accessed, the hold control transistor causes the first and second inverter circuits to be disconnected from the loop connection for dynamically holding data, thereby preventing data corruption that would otherwise possibly occur due to a read operation. Moreover, a sense amplifier circuit that uses a single bit line to read data from a memory cell is disposed in a space appearing in the memory cell array, thereby effectively using the area.

(57) 要約: 本発明によれば、半導体記憶装置のSRAMセルは、ループ接続され保持回路を形成する第1及び第2インバータ回路と、2つのアクセストランジスタと、第

[続葉有]

WO 2005/041203 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

2インバータ回路のドライブトランジスタに直列接続された保持制御トランジスタとから構成され、保持制御トランジスタはメモリセルが非アクセスのときには第1及び第2インバータ回路はループ接続された保持回路を形成し静的にデータ保持し、メモリセルがアクセスされたときには第1及び第2インバータ回路はループ接続が切られ動的にデータ保持させる。メモリセルがアクセスされたときに、動的にデータ保持させることで読み出し操作に伴うデータ破壊を防止することができる。さらに、メモリセルからのデータを1本のビット線により読み出すセンスアンプ回路をメモリセルアレイの間にできるスペースに配置レイアウトすることで面積の有効活用が図られる